

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 28 日
Application Date

申請案號：091134761
Application No.

申請人：其樂達科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 1 月 15 日
Issue Date

發文字號：09220035580
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	訊號同步方法及其電路
	英文	METHOD AND CIRCUIT TO SYNCHRONIZE THE SIGNALS
二、 發明人 (共1人)	姓名 (中文)	1. 葉嘉佑
	姓名 (英文)	1. YEH, Chia-yow
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 彰化縣和美鎮好修里北寧路220巷5號
	住居所 (英文)	1. No. 5, Lane 220, Beining Rd., Hemei Jen, Changhua, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 其樂達科技股份有限公司
	名稱或 姓名 (英文)	1. Cheerteck Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行路9號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 9, Li-Shin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
代表人 (中文)	1. 葉垂奇	
代表人 (英文)	1. YEH, Archie	



四、中文發明摘要 (發明名稱：訊號同步方法及其電路)

本發明係關於一種同步兩個以不同頻率的時脈觸發的訊號的方法，其係在較高頻率時序訊號之正緣及負緣皆對較低頻率允許寫入訊號進行取樣。若在較高頻率時序訊號正緣或負緣的取樣結果為1時，記錄其取樣動作狀態為鎖定狀態，下一相反緣則不進行取樣。若在正緣或負緣的取樣結果為0，記錄其取樣動作狀態為取樣狀態，下一相反緣則進行取樣。最後，將在正緣及負緣的取樣結果聯集輸出一已同步允許寫入訊號。本發明亦揭露了一種實現此方法之同步電路。

伍、(一)、本案代表圖為：第 4a 圖

(二)、本案代表圖之元件代表符號簡單說明：

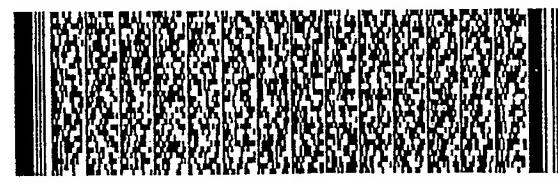
41 記錄電路

411 第一D型正反器

412 第二D型正反器

陸、英文發明摘要 (發明名稱：METHOD AND CIRCUIT TO SYNCHRONIZE THE SIGNALS)

The invention relates to a method to synchronize the signals between two circuits which are triggered with different frequency of clocks, which samples a lower clock write-enable signal at a positive edge and a negative edge of higher clock. If the sampling result is 1 at the positive edge or the negative edge of higher clock, then records its sampling state is lock,



四、中文發明摘要 (發明名稱：訊號同步方法及其電路)

42 取樣電路
421 第一及閘
422 第二及閘
423 第三D型正反器
424 第四D型正反器
425 或閘
426 第五D型正反器
HCK 較高頻率時序訊號
WE 允許寫入訊號
SWE 已同步允許寫入訊號

五、英文發明摘要 (發明名稱：METHOD AND CIRCUIT TO SYNCHRONIZE THE SIGNALS)

and no further sample at the next opposite edge. If the sampling result is 0 at the positive edge or the negative edge of higher clock, then records its sampling state is sampling, and then proceed another sample at the next opposite edge. At last, unify the sampling result at the positive edge and the negative edge and output a synchronized write-enable signal. The invention



四、中文發明摘要 (發明名稱：訊號同步方法及其電路)

陸、英文發明摘要 (發明名稱：METHOD AND CIRCUIT TO SYNCHRONIZE THE SIGNALS)

also discloses a corresponding circuit to synchronize the signals.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

一、【發明所屬之技術領域】

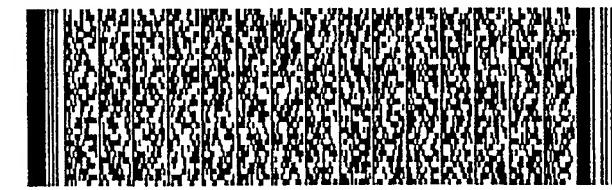
本發明係關於一種訊號同步方法及其電路。本發明尤其關於一種同步兩個以不同頻率的時脈觸發的訊號的方法及其電路。

二、【先前技術】

隨著積體電路設計複雜度日益提高，愈來愈多人藉由電子設計自動化(electron design automation, EDA)之輔助工具協助設計者在設計過程中，提早發現缺失所在及分析與最佳化處理測試樣本的完整性，減少多餘或沒必要之測試時程浪費，以縮短開發的時程。相同頻率時脈觸發的訊號的電路設計即可經由這類輔助工具很容易地模擬並分析出可靠的結果。

然而，設計者仍必需面對不同頻率時脈觸發的訊號所產生的時序問題。例如，相機使用48Mhz的高階精簡指令運算(Advanced RISC Machine, ARM)處理器，為達到一定的效能，其專屬電路採用較高頻率的時脈，如100Mhz。但是感測器的輸入訊號以13.5或27Mhz同步處理，其相對應的電路則採用27Mhz的時脈。而這類時序問題以EDA之輔助工具模擬分析出的結果並不可靠。

如圖1a所示，第一模組11以較低頻率時脈運作，並以較低頻率時序訊號LCK處理允許寫入(write_enable)訊號WE，將第一暫存器111中的資料傳送至第二模組12。第二模組12以較高頻率時序訊號HCK之時脈取樣允許寫入訊號



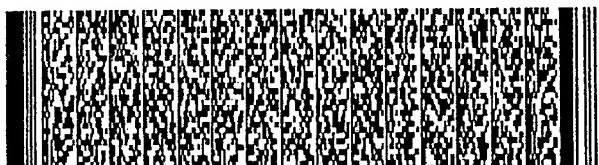
五、發明說明 (2)

WE 以接收第一模組 11 所傳來的資料，並存入第二模組 12 中之第二暫存器 121。當允許寫入訊號 WE 位於高電位時，即為 1 的狀態時，第二模組 12 可接收第一模組 11 傳送過來的資料並存入第二暫存器 121 中。圖 1b 顯示圖 1a 中允許寫入訊號 WE 與較高頻率時序訊號 HCK 之時序圖，第二模組 12 於時脈為 1 時取樣未經同步處理之允許寫入訊號 WE。在圖 1b 位置 a 時，由於第二模組 12 需要足夠的時間以確認取樣到的允許寫入訊號 WE，因此可能錯失這次的允許寫入訊號 WE。在位置 b 時才能成功讀取到允許寫入訊號，並允許資料寫入。面對這類不同頻率時脈之時序問題，設計者必需花費許多時間逐一檢查輸出結果並進行微調，以符合其預期的結果。另外，因電路設計變更或製程改變等因素的影響，設計者必須再次檢查並微調其電路設計，因而延長開發設計的時程。

因此如何同步兩個不同頻率觸發的電路模組解決上述的時序問題，使 EDA 輔助工具之分析結果可被信賴，以縮短開發的時程便成為目前亟待改善的課題。

三、【發明內容】

針對上述問題，本發明的目的為提供一種同步兩個以不同頻率的時脈觸發的訊號的方法及其電路，其可解決兩個以不同頻率的時脈觸發的訊號所產生的時序問題，使電路設計者不需花費過多的時間在時序問題上，以縮短電路設計之開發時程。



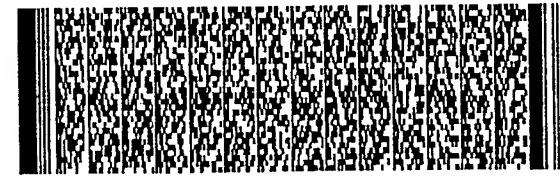
五、發明說明 (3)

本發明的另一目的為提供一種同步兩個以不同頻率的時脈觸發的訊號的方法及其電路，其可使電子設計自動化 (electron design automation, EDA) 輔助工具之模擬分析結果可被信賴。

為達上述目的，本發明之同步兩個以不同頻率的時脈觸發的訊號的方法，是在較高頻率時序訊號之正緣 (positive edge) 及負緣 (negative edge) 皆對較低頻率允許寫入訊號進行取樣。若在正緣時取樣結果為低電位，即為0時，在下一負緣再進行一次取樣。若在負緣的取樣結果為高電位，即為1時，則下一正緣即不進行取樣。亦即在較高頻率時序訊號正緣或負緣的取樣結果為1時，下一相反緣不進行取樣。若在正緣或負緣的取樣結果為0，下一相反緣則進行取樣。最後，將在正緣及負緣的取樣結果聯集輸出一已同步允許寫入訊號。

另外，依據上述之同步兩個以不同頻率的時脈觸發的訊號的方法之實施電路包括：一記錄電路以及一取樣電路。記錄電路係用以記錄在較高頻率時序訊號之正緣及負緣應進行取樣動作的狀態。取樣電路則是依據記錄電路記錄之取樣動作狀態，在相反緣作出相對應的取樣動作，並將在正緣及負緣的取樣結果聯集輸出已同步允許寫入訊號。

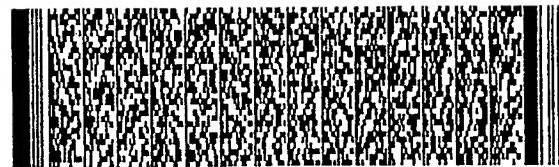
記錄電路包括一第一D型正反器及一第二D型正反器，兩者皆是正緣觸發型。第一D型正反器係用以記錄正緣取樣後之取樣動作狀態，第二D型正反器則是記錄負緣取樣



五、發明說明 (4)

後之取樣動作狀態。取樣電路則包括一第一及閘、一第三D型正反器、一第二及閘、一第四D型正反器、一或閘以及一第五D型正反器。第三D型正反器、第四D型正反器以及第五D型正反器皆為正緣觸發型。第一及閘及第二及閘係用以控制較低頻率允許寫入訊號輸入第三D型正反器及第四D型正反器。第三D型正反器及第四D型正反器則是用以在負緣及正緣對較低頻率允許寫入訊號取樣。當第一D型正反器及第二D型正反器記錄狀態為鎖定狀態時，第一及閘及第二及閘的輸出為0，代表第三D型正反器及第四D型正反器無法取樣，輸出結果亦為0。當第一D型正反器及第二D型正反器記錄狀態為取樣狀態時，第一及閘及第二及閘的輸出則隨著較低頻率允許寫入訊號變化，並由第三D型正反器及第四D型正反器取樣並輸出結果。之後再以或閘聯集輸出在正緣及負緣的取樣結果成為一已同步允許寫入訊號。第五D型正反器則控制已同步允許寫入訊號在較高頻率時序訊號之正緣轉換。較高頻率模組即可在較高頻率時序訊號之正緣時取樣已同步允許寫入訊號來處理較低頻率模組傳入的資料。

依本發明之同步兩個以不同頻率的時脈觸發的訊號的方法及其電路，可將第一模組產生之較低頻率允許寫入訊號與第二模組之較高頻率時序訊號經過同步處理產生一已同步允許寫入訊號。隨後，第二模組以已同步允許寫入訊號觸發並接收第一模組傳送過來的資料。如此，較低頻率與較高頻率的兩個模組可視為同步的模組，即可以EDA之



五、發明說明 (5)

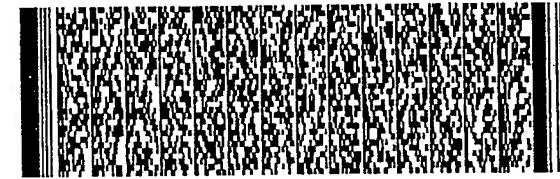
輔助工具協助設計者模擬分析出可靠的結果，以縮短開發設計的時程。

四、【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之同步兩個以不同頻率的時脈觸發的訊號的方法及其電路，其中相同的元件將以相同的參照符號加以說明。

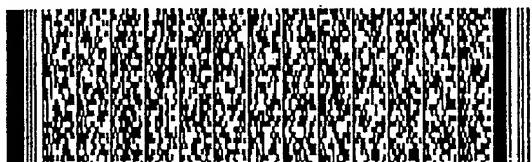
請參照圖2，在第一模組11及第二模組12間設置一同步電路23。利用同步電路23將第一模組11輸出之允許寫入訊號WE以較高頻率時序訊號HCK同步化後，輸出已同步允許寫入訊號SWE。第二模組12再以較高頻率時序訊號HCK取樣已同步允許寫入訊號SWE來接收第一模組11所傳送的資料，並暫存於第二暫存器121中。如此即可解決上述習知技術的時序問題。以下將詳細說明同步兩個以不同頻率的時脈觸發的訊號的方法。

依本發明實施例之同步兩個以不同頻率的時脈觸發的訊號的方法，其精神為在較高頻率時序訊號HCK之正緣(positive edge)及負緣(negative edge)時皆對較低頻率之允許寫入訊號WE進行取樣的動作。請參照圖3說明其實施步驟。在較高頻率時序訊號HCK之正緣及負緣時對較低頻率允許寫入訊號WE的取樣動作區分為兩種：一種是對較低頻率之允許寫入訊號進行取樣動作(以下稱為取樣狀態)，另一種是鎖定狀態，即不進行取樣。首先將在較高頻率時序訊號HCK正緣及負緣時的取樣動作初始化為取樣



五、發明說明 (6)

狀態(S31)。即初始狀態時，在較高頻率時序訊號的正緣及負緣皆會對較低頻率允許寫入訊號WE進行取樣。接著，隨著較高頻率時序訊號HCK正緣及負緣的轉換，分別在正緣及負緣對較低頻率允許寫入訊號WE進行取樣，並記錄在較高頻率時序訊號HCK之正緣及負緣的取樣動作狀態(S32)。再依據記錄之正緣及負緣的取樣動作狀態在下一相反緣進行相對應的取樣動作(S33)。其改變取樣動作狀態的依據為：若在較高頻率時序訊號HCK之正緣對較低頻率允許寫入訊號WE取樣的結果為高電位，即為1的狀態，則改變正緣的取樣動作狀態為鎖定狀態。若下一個時間週期之正緣的取樣結果為低電位，即為0的狀態，則改變正緣的取樣動作狀態為取樣狀態。同樣的，若在較高頻率時序訊號HCK之負緣對較低頻率允許寫入訊號WE取樣的結果為1，則改變負緣的取樣動作狀態為鎖定狀態。若下一個時間週期之負緣取樣結果為0，則改變負緣的取樣動作狀態為取樣狀態。其意義為，若在較高頻率時序訊號HCK之正緣，其前一個負緣的取樣動作狀態為取樣狀態，表示在前一個負緣對較低頻率允許寫入訊號WE的取樣結果為0，必須在目前的正緣取樣。若前一個負緣的取樣動作狀態為鎖定狀態，表示在前一個負緣對較低頻率允許寫入訊號WE的取樣結果為1，目前所在的正緣就不需要再進行取樣。同理，目前所在的負緣是否取樣亦由前一個正緣取樣的結果來決定，在此不再闡述。最後，將分別在較高頻率時序訊號HCK之正緣及負緣時對較低頻率允許寫入訊號WE取樣



五、發明說明 (7)

的結果聯集輸出成一已同步允許寫入訊號SWE(S34)。亦即在較高頻率時序訊號HCK之正緣或負緣取樣到較低頻率允許寫入訊號WE為1，即輸出1的訊號。

請參照圖4a，顯示實現依上述實施例之同步兩個以不同頻率的時脈觸發的訊號的方法之電路，其包括一記錄電路41以及一取樣電路42。記錄電路41用以記錄在一較高頻率時序訊號之正緣及負緣時取樣動作的狀態。其是由第一D型正反器411及第二D型正反器412所組成，兩者皆是正緣觸發型。第一D型正反器411之D端子接受較低頻率允許寫入訊號WE，CK端子接受較高頻率時序訊號HCK，Q端子外接且其初始狀態為0，代表取樣狀態。因其為正緣觸發型，當在較高頻率時序訊號HCK正緣時即觸發第一D型正反器411。若輸入的較低頻率允許寫入訊號WE為1時，Q端子輸出即為1，代表鎖定狀態，若輸入的較低頻率允許寫入訊號WE為0時，Q端子輸出即為0，即為取樣狀態。由上述作動可知，第一D型正反器411係記錄在較高頻率時序訊號HCK之正緣時取樣動作的狀態。第二D型正反器412之D端子接受較低頻率允許寫入訊號WE，CK端子接受較高頻率時序訊號HCK的反相，Q端子外接且其初始狀態為0，代表取樣狀態。同樣的，因其為正緣觸發型，當在較高頻率時序訊號HCK負緣時，經反相後即觸發第二D型正反器412。若輸入的較低頻率允許寫入訊號WE為1時，Q端子輸出即為1，代表鎖定狀態。若輸入的較低頻率允許寫入訊號WE為0時，Q端子輸出即為0，即為取樣狀態。因此第二D型正反



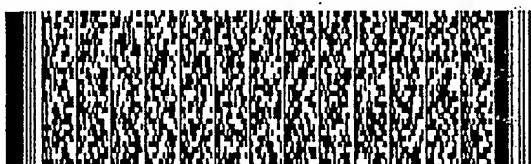
五、發明說明 (8)

器412係記錄在較高頻率時序訊號HCK之負緣時取樣動作的狀態。

取樣電路42依據記錄電路41記錄之在該較高頻率時序訊號HCK正緣及負緣時取樣動作的狀態，對一較低頻率允許寫入訊號WE進行取樣，並將分別在正緣及負緣時取樣的結果聯集輸出成一已同步輸出訊號SWE。其構成元件包括一第一及閘421、一第三D型正反器423、一第二及閘422、一第四D型正反器424、一或閘425以及一第五D型正反器426。第三D型正反器423、第四D型正反器424以及第五D型正反器426皆為正緣觸發型。

第一及閘421之一輸入端子接受該較低頻率允許寫入訊號WE，另一輸入端子接受記錄電路41之第一D型正反器411Q端子輸出的反相，輸出端子則外接至第三D型正反器423之D端子。第三D型正反器423之CK端子接受該較高頻率時序訊號HCK的反相，Q端子外接至或閘425之一輸入端，且其初始狀態為0。第二及閘422之一輸入端子接受該較低頻率允許寫入訊號WE，另一輸入端子接受記錄電路41之第二D型正反器412Q端子輸出的反相，輸出端子則外接至第四D型正反器424之D端子。第四D型正反器424之CK端子接受該較高頻率時序訊號HCK，Q端子外接至或閘425之另一輸入端，且其初始狀態為0。

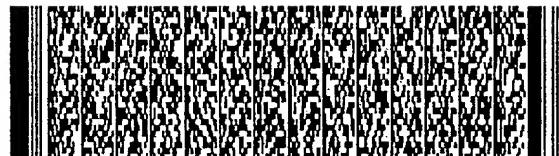
接著說明上述電路之作動方式。由於第三D型正反器423為正緣觸發型，因此在較高頻率時序訊號HCK的負緣時，經反相之後觸發第三D型正反器423對較低頻率允許寫



五、發明說明 (9)

入訊號WE進行取樣。而D端子之輸入為較低頻率允許寫入訊號WE與第一D型正反器411的交集輸出。若較低頻率允許寫入訊號WE為0，第一及閘421之輸出必為0，第三D型正反器423對較低頻率允許寫入訊號WE取樣的結果亦為0，並輸出至或閘425。若第一D型正反器411為鎖定狀態並輸出1，經反相輸入第一及閘421後，第一及閘421之輸出亦為0，第三D型正反器423取樣的結果同樣為0。其意義為，在此較高頻率時序訊號HCK負緣的前一個正緣已取樣到較低頻率允許寫入訊號WE的結果為1，並經第一D型正反器411記錄其狀態為鎖定狀態。故在此負緣時不再對較低頻率允許寫入訊號WE取樣，並輸出0。反之，在前一個正緣取樣結果為0，第一D型正反器411記錄之狀態即為取樣狀態而輸出0，在負緣時即會進行取樣。若取樣較低頻率允許寫入訊號WE的結果為0則輸出0，結果為1則輸出1。

同理，第四D型正反器424在較高頻率時序訊號HCK的正緣受到觸發而進行取樣。其取樣結果受到較低頻率允許寫入訊號WE及第二D型正反器412記錄前一個負緣的取樣動作狀態的影響。亦即當前一個負緣取樣到1時，第二D型正反器412記錄鎖定狀態，第四D型正反器424即輸出0。當第二D型正反器412記錄狀態為取樣狀態，且較低頻率允許寫入訊號WE為1，第四D型正反器424取樣的結果才為1並輸出1。最後，或閘425將在較高頻率時序訊號HCK的正緣及負緣對較低頻率允許寫入訊號WE取樣的結果聯集後輸出已同步允許寫入訊號SWE。



五、發明說明 (10)

另外可將或開425之輸出連接至第五D型正反器426之D端子。第五D型正反器426之CK端子接受較高頻率時序訊號HCK，Q端子外接輸出已同步允許寫入訊號SWE，其初始狀態為0。如此，已同步允許寫入訊號SWE只在較高頻率時序訊號HCK的正緣發生變化。當此已同步允許寫入訊號SWE傳至第二模組12時，再於較高頻率時序訊號HCK的正緣取樣已同步允許寫入訊號SWE，並依取樣的結果接受第一模組11傳送的資料。

圖4b顯示上述實施例之時序圖。在位置a時，處於較高頻率時序訊號HCK的正緣並對較低頻率允許寫入訊號WE進行取樣。因為需要足夠的時間以確認取樣到的允許寫入訊號WE，因此錯失這次的允許寫入訊號WE，正緣的動作狀態仍保持為取樣狀態。在位置c時，處於較高頻率時序訊號HCK的負緣並進行取樣，因取樣結果為1，負緣的動作狀態改變為鎖定狀態。聯集在正緣及負緣取樣的結果應輸出1。但是第五D型正反器426只在正緣位置被觸發，因此聯集的結果延遲至位置d輸出已同步允許寫入訊號SWE的波形。同時，在位置d正緣取樣的結果仍為0，因此仍保持取樣狀態。直到位置b時取樣到1才改變為鎖定狀態，並在位置g時取樣到0而改回取樣狀態。同理，在位置e時，在負緣取樣到0，則將原本的鎖定狀態改變為取樣狀態，在位置f時取樣到1，則改變動作狀態為鎖定狀態。

由圖4b之時序圖可知，已同步允許寫入訊號SWE之波形變化會比較低頻率允許寫入訊號WE延遲一個時間週期。

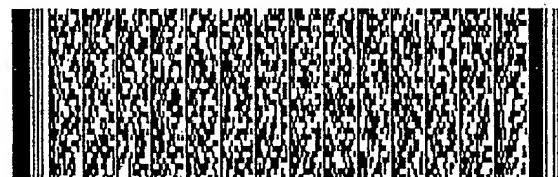


五、發明說明 (11)

因此可在第一模組11及第二模組12間再設置一第三暫存器24(如圖2所示)，將第一模組11傳送至第二模組12的資料暫存於第三暫存器24。之後再傳送至第二模組12，此第三暫存器24是經由較高頻率時序訊號HCK的正緣觸發而動作。

依據本發明之實施例，由於較低頻率允許寫入訊號WE經過與較高頻率時序訊號HCK的同步處理所輸出的已同步允許寫入訊號SWE，可直接被運作於較高頻率之第二模組12直接取樣處理。因此可視為與運作於較低頻率之第一模組11同步，兩者之間習知的時序問題將不存在。同時兩個不同運作頻率之模組間視為同步，故以EDA之輔助工具模擬分析出的結果與分析同步電路所得的結果一樣是可信賴的。也因此設計者對於這類不同時脈所衍生的時序問題不需要花費太多時間來處理，而可直接信賴EDA輔助工具分析的結果，以有效縮短開發的時程。

以上所述僅為舉例性，而非為限制性者。任何熟悉該項技術者均可依據上述本發明之實施例進行等效之修改，而不脫離其精神與範疇。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。



五、【圖示簡單說明】

圖1a為一習知之不同頻率的時脈觸發的模組間資料傳遞示意圖。

圖1b為圖1a之較低頻率允許寫入訊號與較高頻率時序訊號之時序圖。

圖2為一運用本發明較佳實施例之同步兩個以不同頻率的時脈觸發的訊號的方法及其電路於不同頻率的時脈觸發的模組間資料傳遞之示意圖。

圖3為一流程圖，顯示依本發明較佳實施例之同步兩個以不同頻率的時脈觸發的訊號的方法之實施步驟。

圖4a顯示依本發明較佳實施例之同步兩個以不同頻率的時脈觸發的訊號的電路。

圖4b顯示圖4a所示電路之對應的時序圖。

元件符號說明：

11	第一模組
111	第一暫存器
12	第二模組
121	第二暫存器
23	同步電路
24	第三暫存器
41	記錄電路
411	第一D型正反器
412	第二D型正反器



圖式簡單說明

42	取樣電路
421	第一及閘
422	第二及閘
423	第三D型正反器
424	第四D型正反器
425	或閘
426	第五D型正反器
HCK	較高頻率時序訊號
LCK	較低頻率時序訊號
lock	鎖定狀態
Nstate	負緣之取樣動作狀態
Pstate	正緣之取樣動作狀態
WE	允許寫入訊號
sampling	取樣狀態
SWE	已同步允許寫入訊號
S31~S34	本發明之同步兩個以不同頻率的時脈觸發的訊號的方法步驟



六、申請專利範圍

1. 一種訊號同步電路，用以同步兩個以不同頻率的時脈觸發的訊號，該電路包括：

一記錄電路，用以記錄在一較高頻率時序訊號之正緣及負緣時取樣動作的狀態；以及

一取樣電路，依據該記錄電路記錄之在該較高頻率時序訊號正緣及負緣時取樣動作的狀態，在該正緣及負緣之相反緣對一較低頻率允許寫入訊號進行相對應的取樣動作，並將分別在正緣及負緣時取樣的結果聯集輸出成一已同步輸出訊號。

2. 如申請專利範圍第1項所述之訊號同步電路，其中該記錄電路包括：

一第一D型正反器，為正緣觸發型，用以記錄在該較高頻率時序訊號之正緣時取樣動作的狀態，其D端子接受該較低頻率允許寫入訊號，CK端子接受該較高頻率時序訊號，Q端子外接且其初始狀態為0；以及

一第二D型正反器，為正緣觸發型，用以記錄在該較高頻率時序訊號之負緣時取樣動作的狀態，其D端子接受該較低頻率允許寫入訊號，CK端子接受該較高頻率時序訊號的反相，Q端子外接且其初始狀態為0。

3. 如申請專利範圍第2項所述之訊號同步電路，其中該第一D型正反器之Q端子輸出為0，代表在該較高頻率時序訊號之正緣時取樣動作的狀態為取樣狀態，輸出為1則代表該動作狀態為鎖定狀態。

4. 如申請專利範圍第2項所述之訊號同步電路，其



六、申請專利範圍

中該第二D型正反器之Q端子輸出為0，代表在該較高頻率時序訊號之負緣時取樣動作的狀態為取樣狀態，輸出為1則代表該動作狀態為鎖定狀態。

5. 如申請專利範圍第1項所述之訊號同步電路，其中該取樣電路包括：

一第一及閘，其一輸入端子接受該較低頻率允許寫入訊號，另一輸入端子接受該第一D型正反器Q端子輸出的反相，及一輸出端子外接；

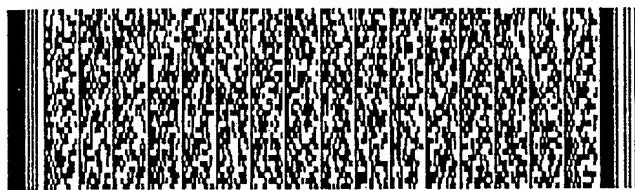
一第三D型正反器，為正緣觸發型，用以在該較高頻率時序訊號之負緣時對該較低頻率允許寫入訊號進行取樣，其D端子接受該第一及閘輸出之訊號，CK端子接受該較高頻率時序訊號的反相，Q端子外接且其初始狀態為0；

一第二及閘，其一輸入端子接受該較低頻率允許寫入訊號，另一輸入端子接受該第二D型正反器Q端子輸出的反相，及一輸出端子外接；

一第四D型正反器，為正緣觸發型，係用以在該較高頻率時序訊號之正緣時對該較低頻率允許寫入訊號進行取樣，其D端子接受該第二及閘輸出之訊號，CK端子接受該較高頻率時序訊號，Q端子外接且其初始狀態為0；以及

一或閘，其一輸入端子接受該第三D型正反器Q端子之輸出，另一輸入端子接受該第四D型正反器Q端子之輸出，及一輸出端子外接。

6. 如申請專利範圍第5項所述之訊號同步電路，其中該取樣電路更可包括一第五D型正反器，為正緣觸發



六、申請專利範圍

型，其D端子接受該或開輸出之訊號，CK端子接受該較高頻率時序訊號，Q端子外接且其初始狀態為0。

7. 一種訊號同步方法，用以同步兩個以不同頻率的時脈觸發的訊號，該方法包括：

(a) 初始化在一較高頻率時序訊號之正緣及負緣時取樣動作的狀態為取樣狀態；

(b) 分別在該較高頻率時序訊號之正緣及負緣時對一較低頻率允許寫入訊號進行取樣，並記錄在該較高頻率時序訊號之正緣及負緣的取樣動作狀態；

(c) 依據該較高頻率時序訊號之正緣及負緣的取樣動作狀態在下一相反緣進行相對應的取樣動作；以及

(d) 將分別在該較高頻率時序訊號之正緣及負緣時對該較低頻率允許寫入訊號取樣的結果聯集輸出成一已同步允許寫入訊號。

8. 如申請專利範圍第7項所述之訊號同步方法，其中(b)改變取樣動作狀態的依據為，若在該較高頻率時序訊號之正緣或負緣對該較低頻率允許寫入訊號取樣的結果為1，則改變相對應之該正緣或負緣之取樣動作狀態為鎖定狀態，若取樣的結果為0，則改變相對應之該正緣或負緣之取樣動作狀態為取樣狀態。

9. 如申請專利範圍第8項所述之訊號同步方法，其中(c)取樣的依據為：

若該較高頻率時序訊號負緣之前一正緣為取樣狀態，則該負緣取樣的結果才為有效，取樣結果為0，輸出為0，



六、申請專利範圍

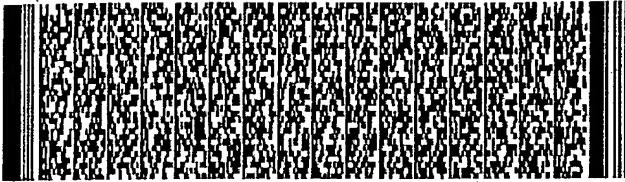
取樣結果為1，輸出為1，若該前一正緣為鎖定狀態，則該負緣取樣的結果皆為0；以及

若該較高頻率時序訊號正緣之前一負緣為取樣狀態，則該正緣取樣的結果才為有效，取樣結果為0，輸出為0，取樣結果為1，輸出為1，若該前一負緣為鎖定狀態，則該正緣取樣的結果皆為0。



申請案件名稱: 訊號同步方法及其電路

第 1/22 頁



第 2/22 頁



第 3/22 頁

第 4/22 頁



第 5/22 頁



第 6/22 頁

第 7/22 頁



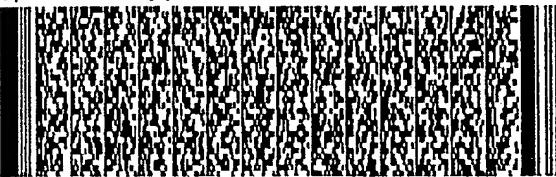
第 8/22 頁



第 9/22 頁



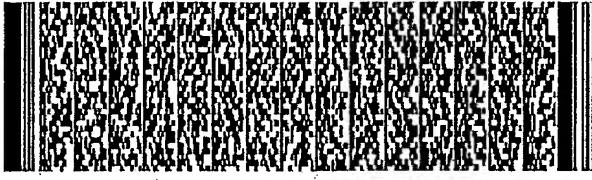
第 10/22 頁



第 2/22 頁



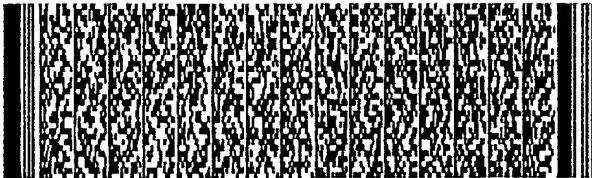
第 3/22 頁



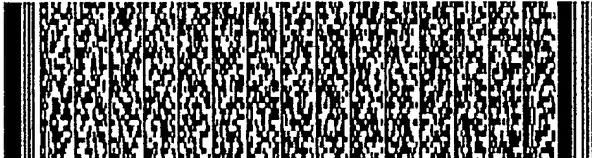
第 4/22 頁



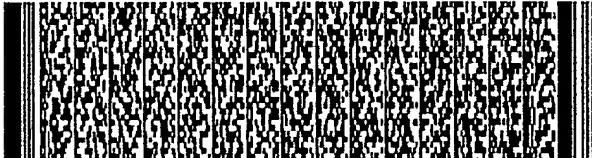
第 5/22 頁



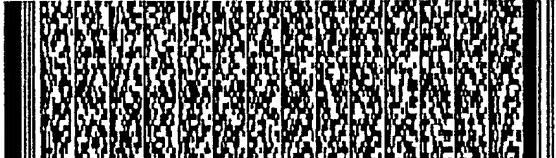
第 6/22 頁



第 7/22 頁



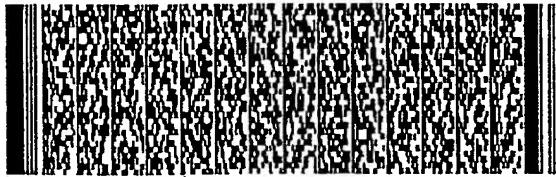
第 8/22 頁



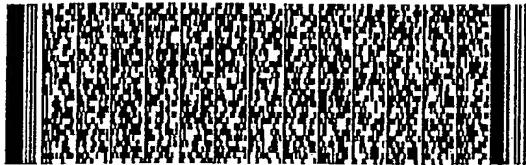
第 9/22 頁



第 10/22 頁



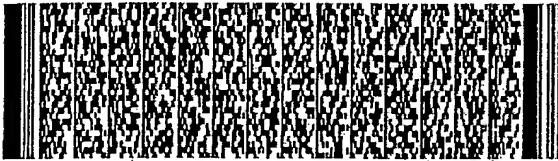
第 11/22 頁



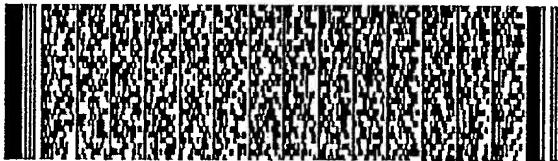
第 11/22 頁



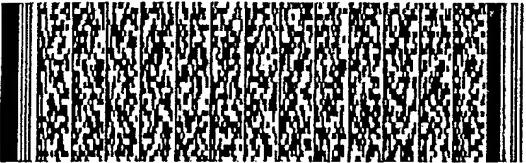
第 12/22 頁



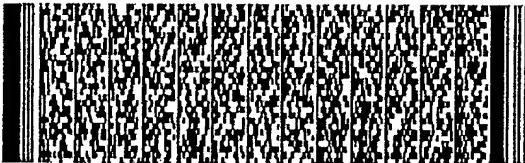
第 12/22 頁



第 13/22 頁



第 13/22 頁



第 14/22 頁



第 14/22 頁



第 15/22 頁



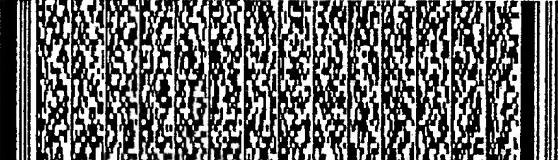
第 15/22 頁



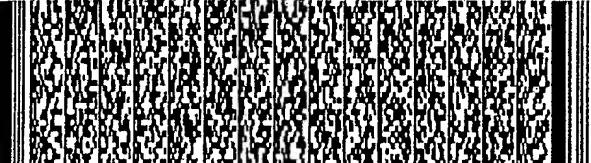
第 16/22 頁



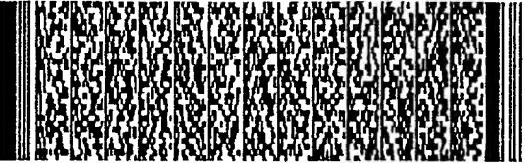
第 16/22 頁



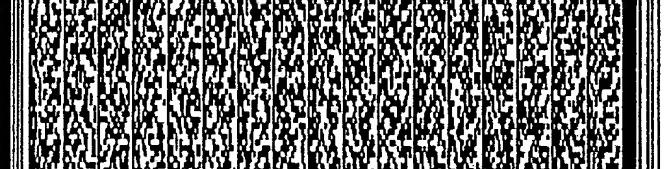
第 17/22 頁



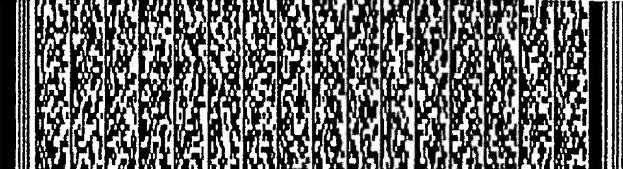
第 18/22 頁



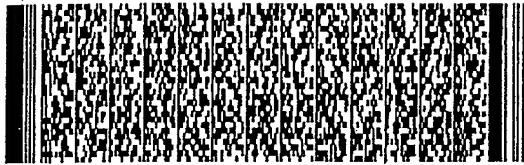
第 19/22 頁



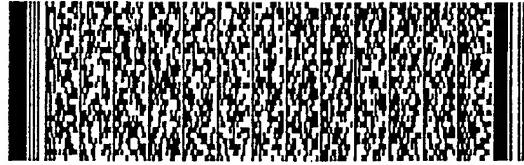
第 20/22 頁



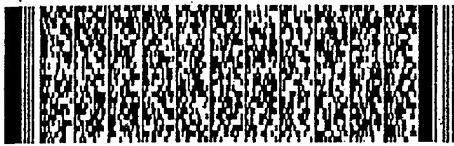
第 21/22 頁



第 21/22 頁



第 22/22 頁



圖式

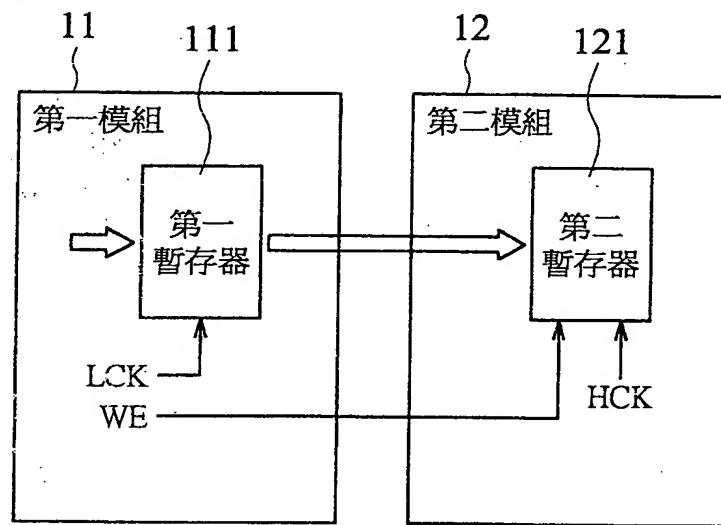


圖 1a

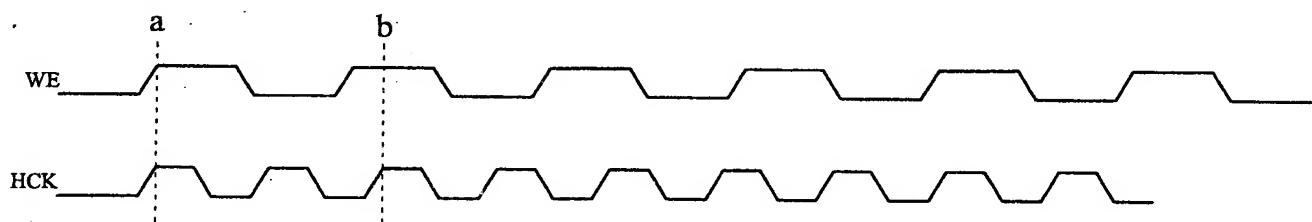


圖 1b

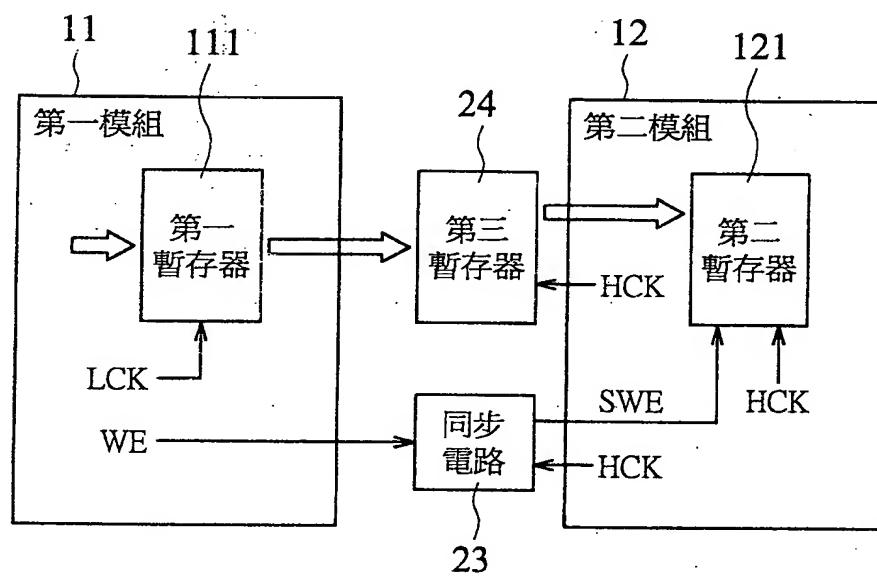


圖 2

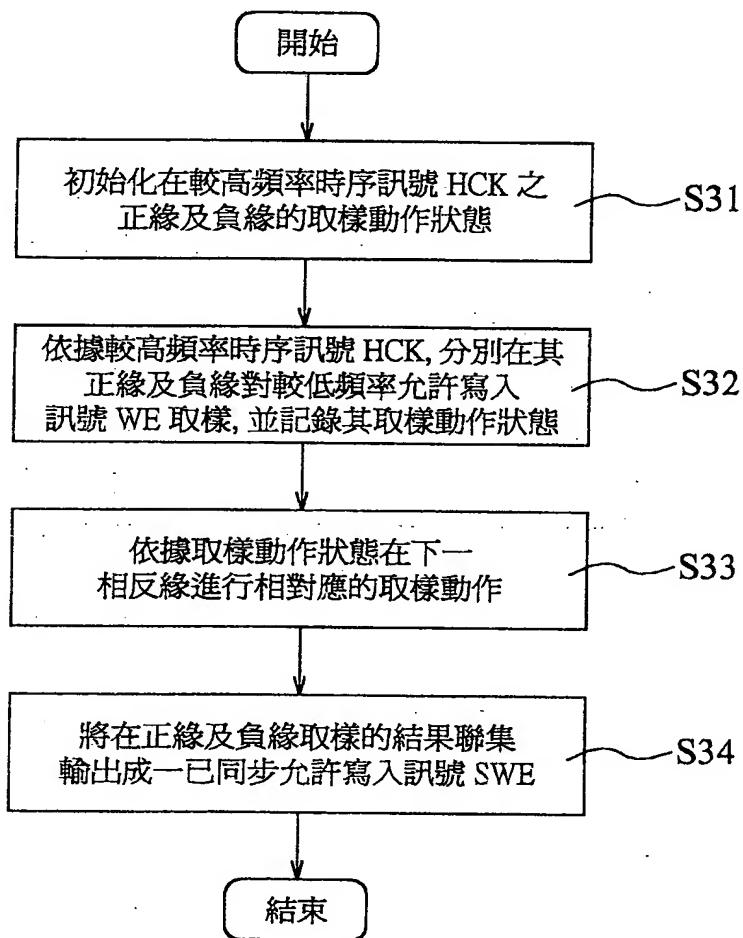


圖 3

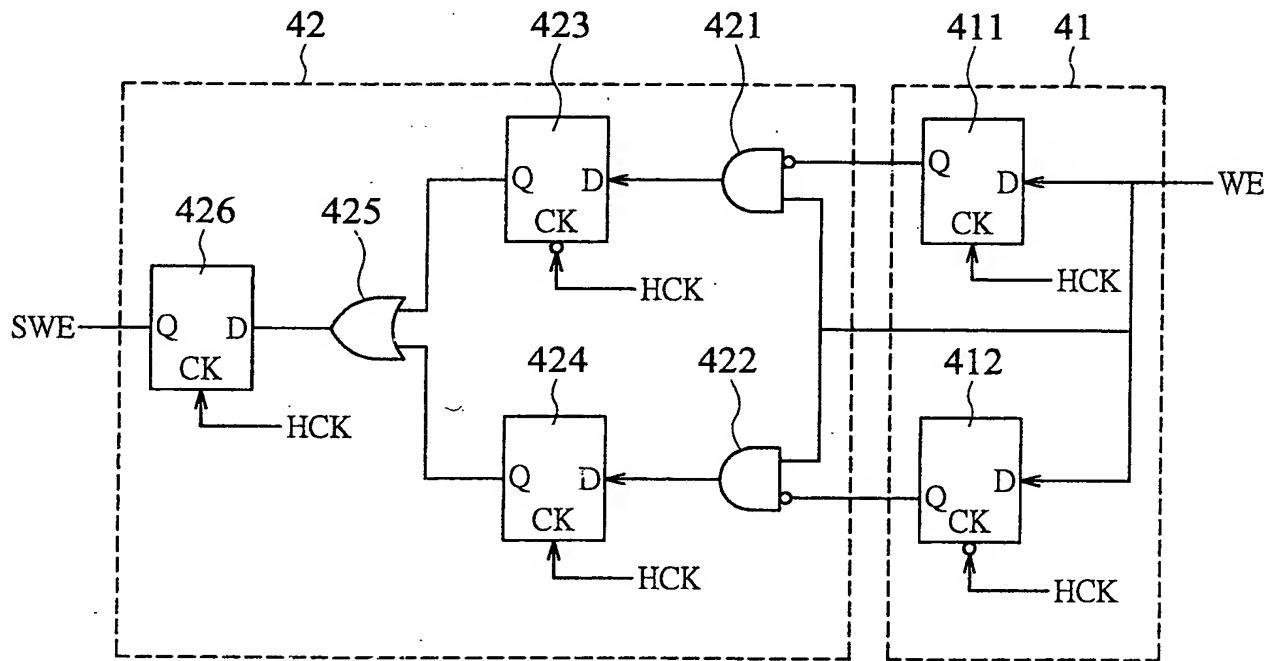


圖 4a

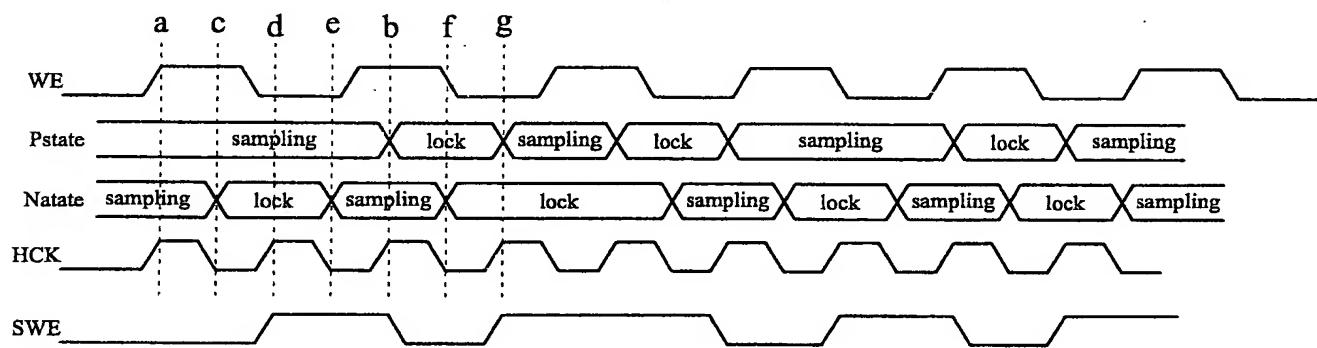


圖 4b